

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-146416

(43)Date of publication of application : 20.05.2004

(51)Int.Cl.

H01L 21/336

H01L 29/786

(21)Application number : 2002-306525

(71)Applicant : SHARP CORP

(22)Date of filing : 22.10.2002

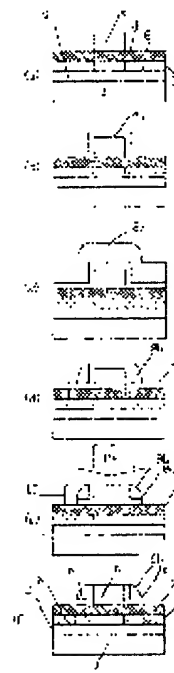
(72)Inventor : MAKIHARA HIROSHI

(54) APPARATUS HAVING THIN FILM TRANSISTOR AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an apparatus having a thin film transistor which can form an LDD (lightly doped drain) structure or a GOLD (gate overlapped drain) structure in a self-aligning manner and which can prevent a thickness of a gate insulating film from being uneven, and to provide a method for manufacturing the same.

SOLUTION: The apparatus having the thin film transistor includes a semiconductor thin film 3 formed on an insulating board 1, a gate insulating film 4 formed on the film 3, a gate electrode 5 formed on the film 4, a channel region formed in the film 3 and overlapped by the electrode 5, a low concentration impurity region 6 formed at a position brought into contact with an end of the channel region, a high concentration impurity region 8 formed at a position electrically connected to the region 6, a first sidewall spacer 9 having a substantially L shaped section formed on a side face of the electrode 5, and a second side wall spacer 9b formed on the upper layer of the spacer 9a. The first spacer 9a is formed of a material which functions as an etching stop of the etching of the second spacer 9b, and coats the region 6.



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-146416

(P2004-146416A)

(43) 公開日 平成16年5月20日(2004.5.20)

(51) Int. Cl.⁷

H O 1 L 21/336

H O 1 L 29/786

F I

H O 1 L 29/78

6 1 6 A

H O 1 L 29/78

6 1 6 L

H O 1 L 29/78

6 1 7 K

H O 1 L 29/78

6 1 7 L

テーマコード (参考)

5 F 1 1 O

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号

特願2002-306525 (P2002-306525)

(22) 出願日

平成14年10月22日 (2002.10.22)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町2番22号

(74) 代理人 100101683

弁理士 奥田 誠司

(72) 発明者 牧原 宏

大阪府大阪市阿倍野区長池町2番22号

シャープ株式会社内

Fターム(参考) 5F110 AA01 AA16 BB02 CC02 DD02

DD11 EE04 EE09 EE14 EE22

EE32 EE44 GG02 GG13 GG24

GG25 GG28 GG35 HJ01 HJ04

HJ13 HJ23 HM13 HM15 QQ04

QQ11

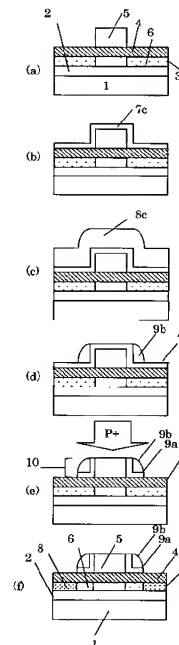
(54) 【発明の名称】 薄膜トランジスタを備えた装置およびその製造方法

(57) 【要約】 (修正有)

【課題】自己整合的にLDD構造またはGOLD構造を形成でき、しかも、ゲート絶縁膜の厚さばらつきを防止

【解決手段】絶縁性基板1上に形成された半導体薄膜3と、半導体薄膜3上に形成されたゲート絶縁膜4と、ゲート絶縁膜4上に形成されたゲート電極5と、半導体薄膜3中に形成され、かつゲート電極5によってオーバーラップされたチャネル領域と、チャネル領域の端部に接する位置に形成された低濃度不純物領域6と、低濃度不純物領域6に電気的に接続される位置に形成された高濃度不純物領域8と、ゲート電極5の側面に形成された断面が略し字型の第1サイドウォールスペーサ9aと、その上層に形成された第2サイドウォールスペーサ9bとを備え、第1サイドウォールスペーサ9aは、第2サイドウォールスペーサ9bのエッチングに対するエッチストップとして機能する材料から形成され、かつ、低濃度不純物領域6を覆っている。

【選択図】 図8



【特許請求の範囲】

【請求項1】

絶縁性基板と、前記絶縁性基板上に形成された複数の薄膜トランジスタとを備えた装置であって、

前記複数の薄膜トランジスタの少なくとも一部の薄膜トランジスタは、

前記絶縁性基板上に形成された半導体薄膜と、

前記半導体薄膜上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

前記半導体薄膜中に形成され、かつ前記ゲート電極によってオーバーラップされたチャネル領域と、

前記半導体薄膜中において前記チャネル領域の一端に接する位置に形成された低濃度不純物領域と、

前記半導体薄膜中において前記低濃度不純物領域に電気的に接続される位置に形成された高濃度不純物領域と、

前記ゲート電極の側面に形成された断面が略し字型の第1サイドウォールスペーサと、

前記第1サイドウォールスペーサ上に形成された第2サイドウォールスペーサと、

を備え、

前記第1サイドウォールスペーサは、前記第2サイドウォールスペーサのエッチングに対するエッチストップとして機能する材料から形成され、かつ、前記低濃度不純物領域を覆っている装置。

【請求項2】

前記第1サイドウォールスペーサは、導電性材料から形成されている請求項1に記載の装置。

【請求項3】

前記第1サイドウォールスペーサは、絶縁性材料から形成されている請求項1に記載の装置。

【請求項4】

前記半導体薄膜は、結晶性を有するシリコンから形成されている請求項1から3のいずれかに記載の装置。

【請求項5】

前記低濃度不純物領域の不純物濃度は、 $5 \times 10^{12} \text{ cm}^{-3}$ 以上 $5 \times 10^{13} \text{ cm}^{-3}$ 以下であり、前記高濃度不純物領域の不純物濃度は、前記低濃度不純物領域の不純物濃度よりも高く設定されている請求項1から4のいずれかに記載の装置。

【請求項6】

前記ゲート絶縁膜は30nm以上110nm以下の厚さを有し、コンタクトホール領域を除いて略均一な厚さで前記半導体薄膜の上面の略全体を覆っている請求項1から5のいずれかに記載の装置。

【請求項7】

前記絶縁性基板上に表示部および周辺回路部を備え、

前記複数の薄膜トランジスタのうちの一部の薄膜トランジスタは前記表示部に形成され、他の薄膜トランジスタは前記周辺回路部に形成されている請求項1から6のいずれかに記載の装置。

【請求項8】

請求項1から7のいずれかに記載の装置を製造する方法であって、

絶縁性基板上に形成された半導体薄膜の上にゲート絶縁膜を形成する工程と、前記半導体薄膜内のチャネル領域が形成されるべき部分を覆うパターンを有するゲート電極を前記ゲート絶縁膜上に形成する工程と、

前記ゲート電極をマスクとして前記半導体薄膜中に不純物をドーピングして低濃度不純物領域を形成する工程と、

前記ゲート電極を覆うようにエッチストップ層として機能する第1薄膜を形成する工程と

10

20

30

40

50

、
前記第1薄膜上に前記第1薄膜のエッチング特性とは異なるエッチング特性を有する第1薄膜を堆積する工程と、
前記第1薄膜が露出するまで前記第2薄膜をエッチングすることにより、前記第2薄膜から第2サイドウォールスペーサを形成する工程と、
前記第2サイドウォールスペーサをマスクして前記第1薄膜をエッチングすることにより、前記第1薄膜から第1サイドウォールスペーサを形成する工程と、前記ゲート電極、前記第1および第2サイドウォールスペーサをマスクとして前記半導体薄膜中に不純物をドーピングして高濃度不純物領域を形成する工程と、
を含む製造方法。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、絶縁性基板上に形成された薄膜トランジスタを備える装置およびその製造方法に関する。本発明の装置は、液晶表示装置やEL表示装置などの各種表示装置のみならず、他の半導体装置を広く含むものとする。

【0002】

【従来の技術】

従来より、 n 型の微細トランジスタにおけるゲート近傍のドレイン端の電界強度を緩和するために、LDD(Light Doped Drain)構造やGOLD(Gate Over-Lapped Drain)構造が採用されている。通常、これらの構造を実現するためには、 n^- 層または n^+ 層を形成するためのマスクを1枚追加する必要がある。

20

【0003】

図1および図2を参照しながら、これらの構造を有するトランジスタの従来の製造方法を説明する。

【0004】

図1を参照する。

【0005】

まず、図1(a)に示すように、ガラス基板1上にベースコート層2、シリコン薄膜3、およびゲート絶縁膜4を形成した後、ゲート絶縁膜4上にゲート電極5を形成する。ゲート電極5は、薄膜トランジスタのチャネル領域となるべき部分を覆うようにパターニングされる。次に、このゲート電極5をマスクとして n 型不純物を低濃度でシリコン薄膜3中にドーピングして、図1(a)に示す低濃度不純物領域(n^- 領域)6を形成する。

30

【0006】

次に、図1(b)に示すように、ゲート電極5を覆うようにゲート電極5よりも幅が広いフォトレジストパターン7aを形成する。フォトレジストパターン7aは、ゲート電極5を完全に覆い、かつ、チャネル領域の両端部に位置する低濃度不純物領域6を部分的に覆うようにフォトリソグラフィ工程でパターニングされる。その後 n 型不純物を高濃度でドーピングし、高濃度不純物領域(n^+ 領域)8を形成した後、図1(c)に示すように、フォトレジストパターン7aを除去する。

40

【0007】

このような製造方法によれば、低濃度不純物領域(n^- 領域)6と高濃度不純物領域8との境界を規定するフォトレジストパターン7aのためのマスクアライメントが必要となる。このマスクアライメントがずれると、低濃度不純物領域(n^- 領域)6の左右のサイズが非対称化するため、トランジスタ特性が変動するおそれがある。このため、上記製造方法で微細なトランジスタを作製することは困難である。

【0008】

次に、上記の製造方法が有している問題を解決するために提案された製造方法を説明する。

50

【0009】

まず、図2(a)に示すように、図1(a)の構造と同様の構造を作製する。次に、図2(b)に示すように、上記構造を覆う SiO_2 膜を堆積した後、異方性エッチング技術によって SiO_2 膜をエッチバックすることにより、図2(c)に示すようなサイドウォールペース8bを SiO_2 膜から形成する。サイドウォールペース8bは、マスクの要らないエッチバックによって自己整合的に形成される。また、低濃度不純物領域6のサイズを規定するサイドウォールペース8bの厚さは、堆積時点の SiO_2 膜の厚さやエッチバックの条件を調節することによって高精度に制御することができる。

【0010】

この後、シリコン薄膜8に対してリンイオン(P^+)などのn型不純物イオンを高濃度に注入して、高濃度不純物領域(n^+ 領域)8を形成する。この注入工程では、ゲート電極5およびサイドウォールペース8bがマスクとして機能するため、不純物領域をゲート電極に対して自己整合的に作製できる。このため、図2(a)~(d)に示す製造方法によれば、LDD構造を有する微細なトランジスタを再現性良く作製することが可能となる。

【0011】

また、特許文献1は、シリコン基板上に形成するトランジスタについて、ゲート電極を高融点シリサイド膜で覆った後、絶縁性サイドウォールペースを形成する方法を開示している。

【0012】

【特許文献1】

特開平5-29345号公報

【0013】

【発明が解決しようとする課題】

しかしながら、図2(a)~(d)に示す製造方法によれば、異方性エッチングによってサイドウォールペース8bを形成する際、ゲート絶縁膜4の表面も一部エッチングされてしまう。このようなゲート絶縁膜4のエッチング量は、基板上における位置やエッチバック工程によって大きく変動するため、トランジスタ特性のばらつき原因となる。

【0014】

特許文献1は、多結晶シリコンゲートの上部に高融点金属シリサイド層を配置したポリサイドゲート構造のトランジスタを製造する方法を開示しているが、高融点金属シリサイド層を多結晶シリコンゲート上に残すためのレジストパターンが不可欠であり、そのためのマスクおよびマスクアライメント工程が余分に必要である。

【0015】

本発明は、上記事情に鑑みてなされたものであり、その主な目的は、必要なマスク工程数を減らして自己整合的にLDD構造やGOLD構造を形成でき、しかも、ゲート絶縁膜の厚さはばらつきを防止できる、薄膜トランジスタを備えた装置およびその製造方法を提供することにある。

【0016】

【課題を解決するための手段】

本発明の装置は、絶縁性基板と、前記絶縁性基板上に形成された複数の薄膜トランジスタとを備えた装置であって、前記複数の薄膜トランジスタの少なくとも一部の薄膜トランジスタは、前記絶縁性基板上に形成された半導体薄膜と、前記半導体薄膜上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記半導体薄膜中に形成され、かつ前記ゲート電極によってオーバーラップされたチャネル領域と、前記半導体薄膜中において前記チャネル領域の一端に接する位置に形成された低濃度不純物領域と、前記半導体薄膜中において前記低濃度不純物領域に電気的に接続される位置に形成された高濃度不純物領域と、前記ゲート電極の側面に形成された断面が略し字型の第1サイドウォールペースと、前記第1サイドウォールペース上に形成された第2サイドウォールペースとを備え、前記第1サイドウォールペースは、前記第2サイドウォールペースのエッチングに対するエッチストップとして機能する材料から形成され、かつ、前記

10

20

30

40

50

低濃度不純物領域を覆っている。

【0017】

好ましい実施形態において、前記第1サイドウォールスペーサは、導電性材料から形成されている。

【0018】

好ましい実施形態において、前記第1サイドウォールスペーサは、絶縁性材料から形成されている。

【0019】

好ましい実施形態において、前記半導体薄膜は、結晶性を有するシリコンから形成されている。

【0020】

好ましい実施形態において、前記低濃度不純物領域の不純物濃度は $5 \times 10^{12} \text{ cm}^{-3}$ 以上 $5 \times 10^{13} \text{ cm}^{-3}$ 以下であり、前記高濃度不純物領域の不純物濃度は、前記低濃度不純物領域の不純物濃度よりも高く設定されている。

【0021】

好ましい実施形態において、前記ゲート絶縁膜は 80 nm 以上 110 nm 以下の厚さを有し、コンタクトホール領域を除いて略均一な厚さで前記半導体薄膜の上面の略全体を覆っている。

【0022】

好ましい実施形態において、前記絶縁性基板上に表示部および周辺回路部を備え、前記複数の薄膜トランジスタのうちの一部の薄膜トランジスタは前記表示部に形成され、他の薄膜トランジスタは前記周辺回路部に形成されている。

【0023】

本発明による装置の製造方法は、上記いずれかの装置を製造する方法であって、絶縁性基板上に形成された半導体薄膜の上にゲート絶縁膜を形成する工程と、前記半導体薄膜内のチャネル領域が形成されるべき部分を覆うパターンを有するゲート電極を前記ゲート絶縁膜上に形成する工程と、前記ゲート電極をマスクとして前記半導体薄膜中に不純物をドーピングして低濃度不純物領域を形成する工程と、前記ゲート電極を覆うようにエッチストップ層として機能する第1薄膜を形成する工程と、前記第1薄膜上に前記第1薄膜のエッチング特性とは異なるエッチング特性を有する第2薄膜を堆積する工程と、前記第1薄膜が露出するまで前記第2薄膜をエッチングすることにより、前記第2薄膜から第2サイドウォールスペーサを形成する工程と、前記第2サイドウォールスペーサをマスクして前記第1薄膜をエッチングすることにより、前記第1薄膜から第1サイドウォールスペーサを形成する工程と、前記ゲート電極、前記第1および第2サイドウォールスペーサをマスクとして前記半導体薄膜中に不純物をドーピングして高濃度不純物領域を形成する工程とを含む。

【0024】

【発明の実施の形態】

以下、図面を参照しながら、本発明の実施形態を説明する。

【0025】

本実施形態の装置は、絶縁性基板上に形成された複数の薄膜トランジスタを備えているが、以下、簡単化のため、それらの薄膜トランジスタの1つについて構造および製造方法などを説明することにする。

【0026】

まず、図3(f)を参照しつつ、本実施形態における薄膜トランジスタの構造を説明する。

【0027】

図示されている薄膜トランジスタは、ガラス基板1上に形成されたベースコート膜2と、ベースコート膜2上に形成されたシリコン薄膜3と、シリコン薄膜3上に形成されたゲート絶縁膜4と、ゲート絶縁膜4上に形成されたゲート電極5とを備えている。ゲート電極5の側面には、断面が略L字型の第1サイドウォールスペーサ9aと、第1サイドウォール

10

20

30

40

50

ルスベサ 9a 上に形成された第 2 サイドウォールスベサ 9b とが形成されている。

【0028】

シリコン薄膜 3 中には、ゲート電極 5 によってオーバーラップされたチャネル領域と、チャネル領域の両端に接する位置に形成された低濃度不純物領域 6 と、低濃度不純物領域 6 に電氣的に接続される位置に形成された高濃度不純物領域 8 とが形成されている。高濃度不純物領域 8 はソース・ドレインとして機能する。

【0029】

第 1 サイドウォールスベサ 9a は、第 2 サイドウォールスベサ 9b を形成するためのエッチバック工程においてエッチストップ層として機能する材料から形成され、かつ、低濃度不純物領域 6 を覆っている。

10

【0030】

本実施形態では、低濃度不純物領域 6 の不純物濃度は、 $5 \times 10^{12} \text{ cm}^{-3}$ 以上 $5 \times 10^{13} \text{ cm}^{-3}$ 以下であり、高濃度不純物領域 8 の不純物濃度は、 $5 \times 10^{14} \text{ cm}^{-3}$ 以上 $5 \times 10^{15} \text{ cm}^{-3}$ 以下である。また、ゲート絶縁膜 4 は 30 nm 以上 110 nm 以下の厚さを有し、コンタクトホール領域（不図示）を除いてシリコン薄膜 3 の上面の略全体を覆っている。

【0031】

本実施形態では、ガラス基板 1 上に表示部および周辺回路部を備え、複数の薄膜トランジスタのうちの一部の薄膜トランジスタは表示部に形成され、他の薄膜トランジスタは周辺回路部に形成されている。本実施形態の装置を液晶表示装置にアクティブマトリクス基板として用いる場合、表示部に形成した薄膜トランジスタのアレイがスイッチング素子として機能し、液晶層に対して適切な電圧を画素単位で印加する。一方、周辺回路部に形成した薄膜トランジスタは、駆動回路（ソースドライバやゲートドライバなど）を構成するトランジスタとして動作することになる。

20

【0032】

以下、本実施形態の製造方法を説明する。

【0033】

まず、図 3 (a) に示すように、ガラス基板 1 上のベースコート膜（厚さ：50 nm ～ 300 nm）2 およびシリコン薄膜（厚さ：10 nm ～ 150 nm）3 を覆うようにゲート絶縁膜（厚さ：30 nm ～ 110 nm）4 を形成した後、シリコン薄膜 3 内のチャネル領域が形成されるべき部分を覆うゲート配線パターンを有するゲート電極 5 をゲート絶縁膜 4 上に形成する。ゲート電極 5 は、タングステン (W) や不純物がドーパされた多結晶シリコンなどの導電性膜を堆積した後、その導電性膜をフォトリソグラフィおよびエッチングによってパターニングすることによって作製される。導電性膜の堆積は、例えばスパッタリング法によって行われ、堆積する導電性膜の厚さ（＝ゲート電極 5 の高さ）は、例えば 100 nm 以上 500 nm 以下の範囲に設定される。ゲート電極 5 のチャネル方向サイズは、薄膜トランジスタのチャネル長を規定する。本実施形態では、ゲート電極 5 のチャネル方向サイズを 1 μm 以上 20 μm 以下の範囲に設定する。

30

【0034】

次に、ゲート電極 5 をマスクとしてシリコン薄膜 3 中にリンや 素などの n 型不純物イオンをドーパして低濃度不純物領域（n⁻領域）6 を形成する。この不純物ドーピングは、イオン注入装置などを用いて行われ、ドーズ量は、例えば $5 \times 10^{12} \text{ cm}^{-2}$ 以上 $5 \times 10^{13} \text{ cm}^{-2}$ 以下に設定される。注入加速エネルギーは、例えば、30 keV 以上 200 keV 以下に設定され、活性化 Si 層一様に不純物が分布するように設定する。

40

【0035】

次に、図 3 (b) に示すように図 3 (a) の構造を覆うようにエッチストップ膜 7c を堆積する。このエッチストップ膜 7c は、最終的に第 1 サイドウォールスベサ 9a として機能することになる。エッチストップ膜 7c の材料は、その上に堆積する絶縁膜の種類や、当該絶縁膜のエッチングに用いるガスの種類に応じて適宜選択される。

【0036】

50

次に、エッチストップ膜7cの上に、エッチストップ膜7cのエッチング特性とは異なるエッチング特性を有するSiO₂膜やSiN膜などのサイドウォール絶縁膜8cを堆積する。このサイドウォール絶縁膜8cは、最終的に第2サイドウォールスペーサ9bとして機能することになる。サイドウォール絶縁膜8cの材料としてSiO₂を採用する場合は、例えば、TiSi₂などからエッチストップ膜7cを形成することができる。エッチストップ膜7cの厚さは、例えば10nm以上50nm以下の範囲内で設定される。

【0037】

次に、異方性エッチング法によってサイドウォール絶縁膜8cをエッチバックすることにより、図8(d)に示すように、第2サイドウォールスペーサ9bを形成する。このエッチバックに際して、エッチストップ膜7cはほとんどエッチングされない。サイドウォール絶縁膜8cとしてSiO₂膜を用いる場合、そのエッチバック条件は、例えば、以下のよう

10

【0038】

ガス：CHF₃

ガス流量：50sccm～500sccm

ガス圧力：50mTorr～200mTorr

基板温度：-30℃～50℃

放電形式：並行平板カソードカップル方式

投入電力：200W～2kW

【0039】

用いるガスの種類を適切に選択することによって種々の絶縁膜を適切にエッチングすることができる。

20

【0040】

こうして得られた第2サイドウォールスペーサ9bおよびゲート電極5をマスクとして、エッチストップ膜7cをエッチングして、図8(e)に示すように第2サイドウォールスペーサ9aを形成する。エッチストップ膜7cとして、例えばTiSi₂を用いた場合の

【0041】

エッチストップ膜7cは、好ましくは、そのエッチング特性が下地のゲート絶縁膜4のエッチング特性とも異なるように選択されるため、ゲート絶縁膜4の表面は、このエッチング工程でもほとんどエッチングされない。なお、エッチストップ膜7cを薄く形成する場合は、エッチストップ膜7cをゲート絶縁膜4と同種の絶縁性材料から形成してもよい。エッチストップ膜7cのエッチングに際してゲート絶縁膜4の表面もエッチングされるが、そのエッチング量は僅かに抑えられるからである。なお、この場合でも、サイドウォール絶縁膜8cは、エッチストップ膜7cやゲート絶縁膜4の材料とは異なる材料から形成する必要がある。ここで、第1サイドウォールスペーサ9aおよび第2サイドウォールスペーサ9bを総称してサイドウォール10と称することとする。

30

【0042】

以上説明してきたように、本実施形態では、エッチストップ膜7cから第1サイドウォールスペーサ9aを作製するためのエッチングを行う際、第2サイドウォールスペーサ9bをエッチングマスクとして用いるが、レジストマスクを用いない。このため、第1サイドウォールスペーサ9aは自己整合的に形成されるが、ゲート電極5の上に存在していたエッチストップ膜7cはエッチングされる。

40

【0043】

この後、図8(e)に示すように、ゲート電極5およびサイドウォール10をマスクとしてリンイオン(P⁺)をシリコン膜6に注入する。その後、不純物活性化のための熱処理を行うことにより、図8(f)に示す薄膜トランジスタが完成する。その後、層間絶縁膜や上層配線などが必要に応じて形成される。

【0044】

本実施形態において、低濃度不純物領域6は第1サイドウォールスペーサ9aによって覆

50

われている。このため、第1サイドウォールスペーサ9aを導電性材料から形成することによって第1サイドウォールスペーサ9aをゲート電極5の一部として機能させることができる。この場合、図3(f)の薄膜トランジスタはGOLD構造トランジスタとして機能する。一方、第1サイドウォールスペーサ9aを絶縁性材料から形成した場合は、図3(f)の薄膜トランジスタは、LDD構造トランジスタとして機能する。

【0045】

本実施形態によれば、第2サイドウォールスペーサ9bの厚さ(チャネル方向サイズ)を調節することにより、自己整合的に第1サイドウォールスペーサ9aおよび低濃度不純物領域6のチャネル方向サイズを高精度で制御できる。このため、目的とするトランジスタ特性を再現性良く作製することが可能となる。また、第1サイドウォールスペーサ9aとなるエッチストップ膜7cが、サイドウォール用絶縁膜8cをエッチバックする際にゲート絶縁膜4を保護するため、ゲート絶縁膜4の不要なエッチングを避けながら、しかも、第2サイドウォールスペーサ9bを安定的に形成することができる。

【0046】

なお、上記の実施形態で説明してきた薄膜トランジスタはN型である。これは、一般に、ホットエレクトロンによる信頼性低下がN型のMOS構造トランジスタの場合に生じる現象だからである。従って、同一の絶縁性基板(ガラスやプラスチックの基板)上にN型薄膜トランジスタとP型薄膜トランジスタの両方を形成する場合は、N型薄膜トランジスタについてのみ、上述した構成を付与すればよい。

【0047】

また、上記の実施形態では、半導体薄膜としてシリコン膜を用いているが、多結晶シリコンなどの結晶性シリコンを用いることにより、トランジスタの動作速度を向上させることができる。動作速度の高い薄膜トランジスタは、表示装置の駆動回路に適している。

【0048】

【発明の効果】

本発明によれば、自己整合的にLDD構造またはGOLD構造を形成でき、しかも、ゲート絶縁膜の厚さはらつきを防止できる。

【図面の簡単な説明】

【図1】(a)から(c)は、LDD構造トランジスタを製造する方法の従来技術を示す工程断面図である。

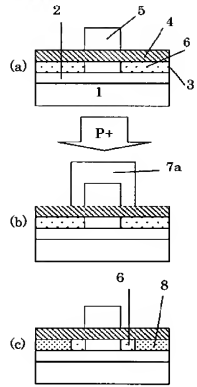
【図2】(a)から(d)は、LDD構造トランジスタを製造する方法の他の従来技術を示す工程断面図である。

【図3】(a)から(f)は、本発明による製造方法の実施形態を示す工程断面図である。

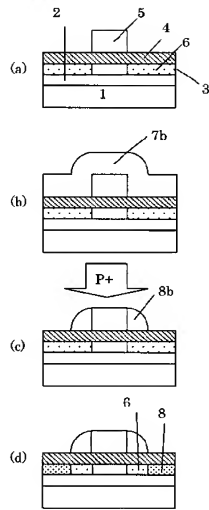
【符号の説明】

- | | |
|----|--------------------|
| 1 | ガラス基板 |
| 2 | ベースコート膜 |
| 3 | シリコン薄膜 |
| 4 | ゲート絶縁膜 |
| 5 | ゲート電極 |
| 6 | 低濃度不純物領域(LDD) |
| 7a | レジストパターン |
| 7b | サイドウォール用絶縁膜 |
| 7c | エッチストップ層 |
| 8 | 高濃度不純物領域(ソース・ドレイン) |
| 8b | サイドウォール |
| 8c | サイドウォール用絶縁膜 |
| 9a | 第1サイドウォールスペーサ |
| 9b | 第2サイドウォールスペーサ |
| 10 | サイドウォールスペーサ |

【図 1】



【図 2】



【図 3】

